

519.457

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2004 年 1 月 8 日 (08.01.2004)

PCT

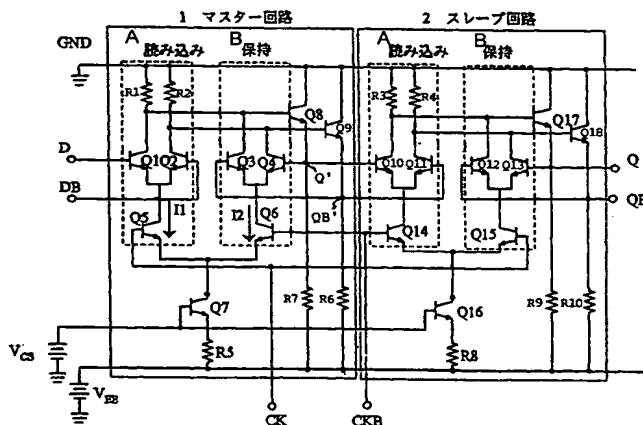
(10) 国際公開番号  
WO 2004/004122 A1

- (51) 国際特許分類: H03K 3/286, 3/356 (72) 発明者; および  
(21) 国際出願番号: PCT/JP2003/007963 (75) 発明者/出願人 (米国についてのみ): 鈴木 康之 (SUZUKI, Yasuyuki) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
(22) 国際出願日: 2003 年 6 月 24 日 (24.06.2003) 和田 茂己 (WADA, Shigeki) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP). 天宮 泰 (AMAMIYA, Yasushi) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 日本電気株式会社内 Tokyo (JP).  
(25) 国際出願の言語: 日本語  
(26) 国際公開の言語: 日本語  
(30) 優先権データ: 特願2002-192068 2002 年 7 月 1 日 (01.07.2002) JP (74) 代理人: 宮崎 昭夫, 外 (MIYAZAKI, Teruo et al.); 〒107-0052 東京都 港区 赤坂 1 丁目 9 番 2 0 号 第 1 6 興和ビル 8 階 Tokyo (JP).  
(71) 出願人 (米国を除く全ての指定国について): 日本電気株式会社 (NEC CORPORATION) [JP/JP]; 〒108-8001 東京都 港区 芝五丁目 7 番 1 号 Tokyo (JP). (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU,

[続葉有]

(54) Title: STATIC FLIP-FLOP CIRCUIT

(54) 発明の名称: スタティック型フリップフロップ回路



Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:  $2\mu\text{m} \times 10\mu\text{m}$   
Q3,Q4,Q6,Q12,Q13,Q15:  $2\mu\text{m} \times 5\mu\text{m}$

1...MASTER CIRCUIT  
2...SLAVE CIRCUIT

A...READ IN  
B...HOLDING

(57) Abstract: In a master circuit (1) and a slave circuit (2), the size of the transistor constituting a data holding differential pair is set smaller than the size of the transistor constituting a data read out differential pair. Furthermore, a flip-flop circuit is operated in such a high operation speed range that the current of the data holding differential pair becomes smaller than the current of the data read out differential pair and the current of the data holding differential pair becomes not greater than the allowable current of the transistor constituting the data holding differential pair.

(57) 要約: マスター回路 1 およびスレーブ回路 2 は、データ保持用差動対を構成するトランジスタのサイズがデータ読み出し用差動対を構成するトランジスタよりも小さく設定されている。さらに、データ保持用差動対の電流がデータ読み出し用差動対の電流よりも小さくなり、かつデータ保持用差動対の電流が当該データ保持用差動対を

[続葉有]

WO 2004/004122 A1



ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

GR, HU, IE, IT, LU, MC, NL, PT, RO, SE, SI, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB,

2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。



## 明細書

## スタティック型フリップフロップ回路

## 技術分野

本発明は、データ読み出し用差動対とデータ保持用差動対とをマスター回路側およびスレーブ回路側において各々有し、クロック信号に同期してデータ入力論理値を更新するスタティック型フリップフロップ回路に関し、特に、高速で動作可能なECL (E m i t t e r C o u p l e d L o g i c) やSCFL (S o u r c e C o u p l e d F E T L o g i c) を用いたスタティック型フリップフロップ回路に関する。

## 背景技術

図1は、ECL基本回路を用いた従来のスタティック型フリップフロップ回路の一構成例を示す回路図である。

図1を参照すると、本従来例のスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、V E Eは電源端子、V C Sは定電流源端子である。

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、トランジスタQ8、Q9、および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、Q13、Q15、トランジスタQ17、Q18、および抵抗体R9、R10からなるデータ保持用正帰還回路と、トランジスタQ14、Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

なお、トランジスタQ1～Q7および抵抗体R1, R2, R5と、トランジスタQ10～Q16および抵抗体R3, R4, R8とは、それぞれ上下2段の差動対からなる縦積みゲートを構成する。トランジスタQ8, Q9および抵抗体R6, R7と、トランジスタQ17, Q18および抵抗体R9, R10とは、それぞれエミッタホロワ回路を構成する。マスター回路1の電流源回路とスレーブ回路2の電流源回路は共通の定電流源端子VCSに接続され、各電流源回路には一定の電流が流れるように構成されている。

ここで、データ信号DがトランジスタQ1のベースに入力され、データ補信号DBがトランジスタQ2のベースに入力され、クロック信号CKがトランジスタQ5, Q15のベースに入力され、クロック補信号CKBがトランジスタQ6, Q14のベースに入力され、マスター回路1の出力端子Q', QB'にスレーブ回路2の入力端子（トランジスタQ10, Q11のベース）が接続され、スタティック型フリップフロップ回路が構成される。なお、出力端子Q, Q'は真信号の出力端子であり、出力端子QB, QB'は補信号の出力端子である。

以下に、図1に示したスタティック型フリップフロップ回路の動作について説明する。

クロック信号CKがハイレベルになると、トランジスタQ5が導通状態となり、トランジスタQ1, Q2からなる差動対に電流パスが形成される。マスター回路1に入力されるデータ信号Dとデータ補信号DBは、トランジスタQ1, Q2からなる差動対によって反転され、トランジスタQ8, Q9を介してレベルシフトされてマスター回路1の出力端子Q', QB'に取り出される。このとき、トランジスタQ6はローレベルのクロック補信号CKBが入力されて非導通状態であるため、トランジスタQ3, Q4からなる差動対には電流が流れない。したがって、マスター回路1の出力端子Q', QB'に取り出された信号は、スレーブ回路2には伝搬されずに、出力端子Q', QB'に保持される。

次に、クロック信号CKがローレベルになり、クロック補信号CKBがハイレベルになると、トランジスタQ6が導通状態となり、トランジスタQ3, Q4からなる差動対に電流パスが形成される。このため、マスター回路1の出力端子Q

、 $Q_B$ に取り出された信号はトランジスタ $Q_3$ 、 $Q_4$ およびトランジスタ $Q_{10}$ 、 $Q_{11}$ に伝搬される。

トランジスタ $Q_3$ 、 $Q_4$ からなる差動対には、エミッタホロワ回路により正帰還がかかっているため、クロック信号 $CK$ がローレベルの間はマスター回路1の出力信号が保持される。一方、スレーブ回路2に伝搬されたマスター回路1の出力信号は、トランジスタ $Q_{10}$ 、 $Q_{11}$ からなる差動対により反転され、トランジスタ $Q_{17}$ 、 $Q_{18}$ を介してレベルシフトされてスレーブ回路2の出力端子 $Q$ 、 $Q_B$ に取り出される。このとき、トランジスタ $Q_{15}$ はローレベルのクロック信号 $CK$ が入力されて非導通状態であるため、トランジスタ $Q_{12}$ 、 $Q_{13}$ からなる差動対には電流が流れない。したがって、スレーブ回路2の出力端子 $Q$ 、 $Q_B$ に取り出された信号は、出力端子 $Q$ 、 $Q_B$ に保持される。

このように、スレーブ回路2の出力端子 $Q$ 、 $Q_B$ に取り出される信号は、クロック信号 $CK$ がハイレベルからローレベルに変化するとき、レベルが反転する動作を繰り返す。

図1に示したスタティック型フリップフロップ回路においては、マスター回路1の遅延時間は、クロック信号 $CK$ が入力されてデータがエミッタホロワ回路に出力されるまでの時間 $T_1$ と、正帰還を有する差動対（トランジスタ $Q_3$ 、 $Q_4$ ）および次段のスレーブ回路2の入力差動対（トランジスタ $Q_{10}$ 、 $Q_{11}$ ）を駆動するまでの時間 $T_2$ との和で表される。この遅延時間が短いほどスタティック型フリップフロップ回路は高速に動作することになる。遅延時間 $T_2$ は、正帰還を有する差動対（トランジスタ $Q_3$ 、 $Q_4$ ）および次段のスレーブ回路2の入力差動対（トランジスタ $Q_{10}$ 、 $Q_{11}$ ）のミラー容量に大きく影響される。

特開平5-48402号公報には、上記の遅延時間 $T_2$ に関するミラー容量のうち、正帰還を有する差動対（トランジスタ $Q_3$ 、 $Q_4$ ）のミラー容量の低減を図ることにより、高速動作を可能としたスタティック型フリップフロップ回路が開示されている。

図2を参照すると、上記の特許公報に開示されたスタティック型フリップフロップ回路においては、マスター回路1のトランジスタ $Q_5$ とスレーブ回路2のト

ランジスタQ14で差動対を構成し、その差動対の共通エミッタに電流源回路を構成するランジスタQ7と抵抗体R5を接続している。また、マスター回路1のランジスタQ6とスレーブ回路2のランジスタQ15で差動対を構成し、その差動対の共通エミッタに電流源回路を構成するランジスタQ16と抵抗体R8を接続している。

上述のように図2に示したスタティック型フリップフロップ回路においては、データ読み込み回路およびデータ保持用正帰還回路を電流源回路を含めた上で分離し、別々のランジスタQ7、Q16によってマスター回路側とスレーブ回路側との間で電流切り替えを行う回路構成をとっている。それにより、データ保持用正帰還回路に流れる電流をデータ読み込み回路に流れる電流と比較して小さく設計することが可能になる。

正帰還を有する差動対のミラー容量 $C_m$ は、その差動対を構成するランジスタのコレクタ容量を $C_c$ とし、その差動対の電圧増幅率を $A_o$ とすると、

$$C_m = C_c (1 + A_o)$$

で表すことができる。ここで、データ保持用正帰還回路の差動対を構成するランジスタの動作電流を小さくすれば、電圧増幅率 $A_o$ を小さくすることができ、データ保持用正帰還回路の差動対のミラー容量 $C_m$ を小さくすることが可能となる。その結果、上記の遅延時間 $T_2$ のうちデータ保持用正帰還回路の差動対を駆動するまでの遅延時間が小さくなり、その分スタティック型フリップフロップ回路を高速に動作させることが可能となる。

図2に示したスタティック型フリップフロップ回路においては、マスター回路およびスレーブ回路の各データ読み込み回路の差動対と各データ保持用正帰還回路の差動対とをそれぞれ組み合わせることにより、データ保持用正帰還回路の差動対の動作電流を独立に小さくすることが可能である。しかしながら、この回路構成では、回路のレイアウトが複雑になるばかりではなく、信号配線との交差部分が増えて信号配線の寄生容量が増加する。その結果、フリップフロップ回路の本来の処理速度の低下や、信号波形のジッタの増加を引き起こしてしまう。

本発明の目的は、別々のランジスタによってマスター回路側とスレーブ回路

側との間で電流切り替えを行う構成を用いることなく、データ保持用正帰還回路の差動対のミラー容量を低減することにより、高速動作を可能とするスタティック型フリップフロップ回路を提供することにある。

#### 発明の開示

上記目的を達成するために、本発明によるスタティック型フリップフロップ回路は、第1のデータ読み込み用差動対と、第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、第1のデータ読み込み用差動対および第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、第2のデータ読み込み用差動対と、第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、第2のデータ読み込み用差動対および第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有し、フリップフロップ回路は、第1および第2のデータ保持用差動対の電流が第1および第2のデータ読み込み用差動対の電流よりも小さくなり、かつ第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような動作速度領域で動作を行うことを特徴としている。

本発明によれば、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成するトランジスタのサイズが小さいことにより、データ保持用差動対の電圧増幅率 $A_o$ やコレクタ容量 $C_o$ が小さくなる。それにより、データ保持用差動対のミラー容量 $C_m$ を低減することができるため、フリップフロップ回路を高速に動作させることが可能になる。

また、低速動作領域においても、データ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように制御することとすれば、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

### 図面の簡単な説明

図 1 は、従来のスタティック型フリップフロップ回路の一構成例を示す回路図である。

図 2 は、従来のスタティック型フリップフロップ回路の他の構成例を示す回路図である。

図 3 は、本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の回路図である。

図 4 A は、本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の低速動作時の動作内容およびその動作条件を説明する特性図である。

図 4 B は、本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の高速動作時の動作内容およびその動作条件を説明する特性図である。

図 5 は、本発明の第 2 の実施形態によるスタティック型フリップフロップ回路の回路図である。

図 6 は、本発明の第 2 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件を説明する特性図である。

図 7 は、本発明の第 3 の実施形態によるスタティック型フリップフロップ回路の回路図である。

図 8 は、本発明の第 4 の実施形態によるスタティック型フリップフロップ回路の回路図である。

### 発明を実施するための最良な形態

以下、本発明の好ましい実施の形態について図面を参照して詳細に説明する。

#### (第 1 の実施の形態)

図 3 は、本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタに、バイポーラトランジスタを用いた回路構成を示している。

図 3 を参照すると、本発明の第 1 の実施形態によるスタティック型フリップフ



ロップ回路は、マスター回路 1 およびスレーブ回路 2 の 2 つのラッチ回路を有している。なお、GND はグランド端子、V<sub>EE</sub> は電源端子である。

マスター回路 1 は、抵抗体 R<sub>1</sub>、R<sub>2</sub> およびトランジスタ Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>5</sub> からなるデータ読み込み回路と、抵抗体 R<sub>1</sub>、R<sub>2</sub>、トランジスタ Q<sub>3</sub>、Q<sub>4</sub>、Q<sub>6</sub>、トランジスタ Q<sub>8</sub>、Q<sub>9</sub>、および抵抗体 R<sub>6</sub>、R<sub>7</sub> からなるデータ保持用正帰還回路と、トランジスタ Q<sub>5</sub>、Q<sub>6</sub> の共通エミッタに接続されたトランジスタ Q<sub>7</sub> および抵抗体 R<sub>5</sub> からなる電流源回路とを有している。

スレーブ回路 2 は、抵抗体 R<sub>3</sub>、R<sub>4</sub> およびトランジスタ Q<sub>10</sub>、Q<sub>11</sub>、Q<sub>14</sub> からなるデータ読み込み回路と、抵抗体 R<sub>3</sub>、R<sub>4</sub>、トランジスタ Q<sub>12</sub>、Q<sub>13</sub>、Q<sub>15</sub>、トランジスタ Q<sub>17</sub>、Q<sub>18</sub>、および抵抗体 R<sub>9</sub>、R<sub>10</sub> からなるデータ保持用正帰還回路と、トランジスタ Q<sub>14</sub>、Q<sub>15</sub> の共通エミッタに接続されたトランジスタ Q<sub>16</sub> および抵抗体 R<sub>8</sub> からなる電流源回路とを有している。

データ保持用差動対を構成するトランジスタ（トランジスタ Q<sub>3</sub>、Q<sub>4</sub>、Q<sub>6</sub>、Q<sub>12</sub>、Q<sub>13</sub>、Q<sub>15</sub>）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタ Q<sub>1</sub>、Q<sub>2</sub>、Q<sub>5</sub>、Q<sub>10</sub>、Q<sub>11</sub>、Q<sub>14</sub>）よりも小さく設定されている。図 3 では、データ読み込み用差動対が  $2\mu\text{m} \times 10\mu\text{m}$  のエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、 $2\mu\text{m} \times 5\mu\text{m}$  のエミッタサイズのトランジスタを使用している。また、トランジスタ Q<sub>7</sub>、Q<sub>16</sub> には、データ読み込み用差動対を構成するトランジスタと同様に  $2\mu\text{m} \times 10\mu\text{m}$  のエミッタサイズのトランジスタを使用している。

マスター回路 1 の電流源回路とスレーブ回路 2 の電流源回路は共通の定電流源端子 V<sub>CS</sub> に接続され、各電流源回路に一定の電流が流れるようになっている。

以下に、図 3 に示した本発明の第 1 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

図 4 A および図 4 B を参照すると、2 つの動作速度領域（低速動作領域および高速動作領域）の各々での、データ読み込み用差動対の電流とデータ保持用差動対の電流の変化を表す特性図が示されている。

データ読み込み回路とデータ保持用正帰還回路は共通の電流源回路を介して共通の定電流源端子VCSに接続されているために、低速動作領域では（図4A）、データ読み込み用差動対の電流とデータ保持用差動対の電流は、ほぼ同等な動作電流で変化している。

一方、高速動作領域では（図4B）、データ保持用差動対の電流が減少し、データ読み込み用差動対の電流よりも小さくなっている。データ保持用差動対の電流とデータ読み込み用差動対の電流との和は、動作速度によらず一定であるが、データ保持用差動対の最大電流や平均電流が減少している分、データ読み込み用差動対の最小電流や平均電流が増加している。

このように、フリップフロップ回路の動作速度によって、データ保持用差動対の電流が変化する。データ保持用差動対を構成するトランジスタは、データ読み込み用差動対を構成するトランジスタよりもサイズが小さく設定されているため、データ読み込み用差動対を構成するトランジスタよりも許容電流が小さい。

そこで、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなり、かつデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるような高速動作速度領域で、フリップフロップ回路を動作させる。

上記のような動作速度領域でフリップフロップ回路を動作すれば、データ保持用差動対に過剰な電流が流れることがない。また、データ保持用差動対の電流が減少するためにデータ保持用差動対の電圧増幅率 $A_o$ が小さくなること、サイズの小さなトランジスタによりデータ保持用差動対を構成しているためにコレクタ容量 $C_c$ が小さくなることから、データ保持用差動対の電圧増幅率 $A_o$ やコレクタ容量 $C_c$ が小さくなる。それにより、データ保持用差動対のミラー容量 $C_m$ を低減できるため、スタティック型フリップフロップ回路の高速化が可能になる。

なお、本実施形態においては、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFET (Metal Semiconductor Field Effect Transistor) を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現する

ことができる。

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

#### (第2の実施形態)

図5は、本発明の第2の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回路構成を示している。

図5を参照すると、本発明の第2の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、VEEは電源端子である。

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、トランジスタQ8、Q9および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、Q13、Q15、トランジスタQ17、Q18および抵抗体R9、R10からなるデータ保持用正帰還回路と、トランジスタQ14、Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

上述した第1の実施形態では、マスター回路1の電流源回路とスレーブ回路2の電流源回路が定電流源端子VCSに接続されており、各電流源回路には一定の電流が流れるように構成されていた。

これに対して、本実施形態では、マスター回路1の電流源回路とスレーブ回路2の電流源回路が電流制御端子に接続されており、この電流制御端子によって、

フリップフロップ回路の動作速度に応じて各電流源回路に流れる電流を制御するような構成となっている。

データ保持用差動対を構成するトランジスタ（トランジスタQ3, Q4, Q6, Q12, Q13, Q15）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ1, Q2, Q5, Q10, Q11, Q14）よりも小さく設定されている。図5では、データ読み込み用差動対が $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、 $2\mu\text{m} \times 5\mu\text{m}$ のエミッタサイズのトランジスタを使用している。また、トランジスタQ7, Q16には、データ読み込み用差動対を構成するトランジスタと同様に $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズのトランジスタを使用している。

以下に、図5に示した本発明の第2の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

図6を参照すると、フリップフロップ回路の動作速度に対する、データ読み込み用差動対の平均電流の依存性とデータ保持用差動対の平均電流の依存性を表す特性図が示されている。

高速動作領域では、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなる。このとき、フリップフロップ回路は、電流制御端子によって、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように制御される。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのサイズが小さいことから、データ保持用差動対の電圧増幅率 $A_v$ やコレクタ容量 $C_c$ が小さくなり、それにより、スタティック型フリップフロップ回路の高速化が可能になる。

低速動作領域では、データ保持用差動対の電流が増加し、データ読み込み用差動対の電流と同等になるが、電流制御端子によって、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように制御する。

上述したように本実施形態においては、電流制御端子によって、データ保持用

差動対の電流をトランジスタの許容電流以下に制御することにより、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

なお、本実施形態においては、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

### (第3の実施の形態)

図7は、本発明の第3の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回路構成を示している。

図7を参照すると、本発明の第3の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、VEEは電源端子である。

マスター回路1は、抵抗体R1、R2およびトランジスタQ1、Q2、Q5からなるデータ読み込み回路と、抵抗体R1、R2、トランジスタQ3、Q4、Q6、トランジスタQ8、Q9および抵抗体R6、R7からなるデータ保持用正帰還回路と、トランジスタQ5、Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

スレーブ回路2は、抵抗体R3、R4およびトランジスタQ10、Q11、Q14からなるデータ読み込み回路と、抵抗体R3、R4、トランジスタQ12、Q13、Q15、トランジスタQ17、Q18および抵抗体R9、R10からなるデータ保持用正帰還回路と、トランジスタQ14、Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

マスター回路 1 の電流源回路を構成し電流切り替えを行うトランジスタ Q 7 とクロック信号 C K が入力される端子との間には、抵抗と容量からなる積分回路 3<sub>1</sub>と、ダイオードを含んだバイアス調整回路 4<sub>1</sub>とが接続されている。スレーブ回路 2 の電流源回路を構成し電流切り替えを行うトランジスタ Q 16 とクロック補信号 C K B が入力される端子との間には、上記と同様な積分回路 3<sub>2</sub>とバイアス調整回路 4<sub>2</sub>とが接続されている。

データ保持用差動対を構成するトランジスタ（トランジスタ Q 3, Q 4, Q 6, Q 12, Q 13, Q 15）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタ Q 1, Q 2, Q 5, Q 10, Q 11, Q 14）よりも小さく設定されている。図 7 では、データ読み込み用差動対が  $2\mu\text{m} \times 10\mu\text{m}$  のエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、 $2\mu\text{m} \times 5\mu\text{m}$  のエミッタサイズのトランジスタを使用している。また、トランジスタ Q 7, Q 16 には、データ読み込み用差動対を構成するトランジスタと同様に  $2\mu\text{m} \times 10\mu\text{m}$  のエミッタサイズのトランジスタを使用している。

以下に、図 7 に示した本発明の第 3 の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

クロック信号 C K およびクロック補信号 C K B の周波数が積分回路 3<sub>1</sub>, 3<sub>2</sub> のカットオフ周波数よりも十分に大きな場合、マスター回路 1 およびスレーブ回路 2 の電流源回路を構成するトランジスタ Q 7, Q 16 には、ある一定の電圧レベルが与えられる。この周波数では、フリップフロップ回路を、データ保持用差動対の最大電流がデータ読み込み用差動対の電流よりも小さくなり、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように設定する。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのサイズが小さいことにより、データ保持用差動対の電圧増幅率  $A_o$  やコレクタ容量  $C_c$  が小さくなり、それにより、スタティック型フリップフロップ回路の高速化が可能になる。

クロック信号 C K およびクロック補信号 C K B の周波数が低くなると、積分回路 3<sub>1</sub>, 3<sub>2</sub> の出力は、クロック信号 C K およびクロック補信号 C K B に同期し

た信号となる。すなわち、積分回路 $3_1$ 、 $3_2$ の出力は、クロック信号CKおよびクロック補信号CKBの周波数が低くなるにしたがって振幅が大きくなる。このとき、積分回路 $3_1$ 、 $3_2$ の出力信号のハイレベルを一定にしてローレベルがクロック信号CKおよびクロック補信号CKBの周波数に応じて変化するようにする。このようにすれば、データ保持用差動対の電流は、クロック信号CKおよびクロック補信号CKBの周波数に応じて自動的に小さくなり、常にトランジスタの許容電流以下に制御することが可能になる。

上述したように本実施形態においては、クロック信号CKが入力される端子およびクロック補信号CKBが入力される端子から分岐した積分回路 $3_1$ 、 $3_2$ によって、データ保持用差動対の電流をトランジスタの許容電流以下に自動的に制御することにより、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

なお、本実施形態においては、積分回路 $3_1$ 、 $3_2$ として抵抗と容量からなる回路を用いたが、他の積分回路やローパスフィルタ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。また、バイアス調整回路 $4_1$ 、 $4_2$ としてダイオードを含んだ回路を用いたが、他のバイアス調整回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

また、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

#### (第4の実施形態)

図8は、本発明の第4の実施形態によるスタティック型フリップフロップ回路の回路図である。ここでは、トランジスタにバイポーラトランジスタを用いた回

路構成を示している。

図8を参照すると、本発明の第4の実施形態によるスタティック型フリップフロップ回路は、マスター回路1およびスレーブ回路2の2つのラッチ回路を有している。なお、GNDはグランド端子、VEEは電源端子である。

マスター回路1は、抵抗体R1, R2およびトランジスタQ1, Q2, Q5からなるデータ読み込み回路と、抵抗体R1, R2、トランジスタQ3, Q4, Q6, Q19, Q20, Q21、トランジスタQ8, Q9、および抵抗体R6, R7からなるデータ保持用正帰還回路と、トランジスタQ5, Q6の共通エミッタに接続されたトランジスタQ7および抵抗体R5からなる電流源回路とを有している。

スレーブ回路2は、抵抗体R3, R4およびトランジスタQ10, Q11, Q14からなるデータ読み込み回路と、抵抗体R3, R4、トランジスタQ12, Q13, Q15, Q22, Q23, Q24、トランジスタQ17, Q18、および抵抗体R9, R10からなるデータ保持用正帰還回路と、トランジスタQ14, Q15の共通エミッタに接続されたトランジスタQ16および抵抗体R8からなる電流源回路とを有している。

マスター回路1のデータ保持用差動対は、2つの差動対が並列に接続された構成になっており、トランジスタQ6とトランジスタQ21のエミッタは、抵抗と容量からなるローパスフィルタ回路5<sub>1</sub>を介して接続されている。スレーブ回路2のデータ保持用差動対は、2つの差動対が並列に接続された構成になっており、トランジスタQ15とトランジスタQ24のエミッタは、抵抗と容量からなるローパスフィルタ回路5<sub>2</sub>を介して接続されている。

データ保持用差動対を構成するトランジスタ（トランジスタQ3, Q4, Q6, Q19, Q20, Q21, Q12, Q13, Q15, Q22, Q23, Q24）のサイズは、データ読み込み用差動対を構成するトランジスタ（トランジスタQ1, Q2, Q5, Q10, Q11, Q14）よりも小さく設定されている。図8では、データ読み込み用差動対が2 $\mu$ m $\times$ 10 $\mu$ mのエミッタサイズのトランジスタを使用しているのに対して、データ保持用差動対は、2 $\mu$ m $\times$ 5 $\mu$ mのエ



ミッタサイズのトランジスタを使用している。また、トランジスタQ7, Q16には、データ読み込み用差動対を構成するトランジスタと同様に $2\mu\text{m} \times 10\mu\text{m}$ のエミッタサイズのトランジスタを使用している。

以下に、図8に示した本発明の第4の実施形態によるスタティック型フリップフロップ回路の動作およびその動作条件について説明する。

クロック信号CKおよびクロック補信号CKBの周波数がローパスフィルタ回路5<sub>1</sub>, 5<sub>2</sub>のカットオフ周波数よりも十分に大きな場合には、2つ差動対が並列接続されたデータ保持用差動対のうち、ローパスフィルタ回路5<sub>1</sub>, 5<sub>2</sub>で接続されたトランジスタQ19, Q20, Q21およびトランジスタQ22, Q23, Q24で構成される差動対には電流が流れずに、トランジスタQ3, Q4, Q6およびトランジスタQ12, Q13, Q15で構成される差動対のみに電流が流れる。この周波数では、フリップフロップ回路を、データ保持用差動対の電流がデータ読み込み用差動対の電流よりも小さくなり、データ保持用差動対の最大電流が当該データ保持用差動対を構成するトランジスタの許容電流以下になるように設定する。したがって、データ保持用差動対の電流が小さいこと、データ保持用差動対を構成しているトランジスタのトランジスタサイズが小さいことにより、データ保持用差動対の電圧増幅率A<sub>o</sub>やコレクタ容量C<sub>c</sub>が小さくなり、それにより、スタティック型フリップフロップ回路を高速に動作させることができる。

クロック信号CKおよびクロック補信号CKBの周波数が小さくなると、データ保持用差動対に流れる電流が増加するが、ローパスフィルタ回路5<sub>1</sub>, 5<sub>2</sub>で接続されたトランジスタQ19, Q20, Q21およびトランジスタQ22, Q23, Q24で構成される差動対に電流が流れるために、トランジスタQ3, Q4, Q6およびトランジスタQ12, Q13, Q15で構成される差動対のトランジスタには許容電流以上に電流が流れない。

クロック信号CKおよびクロック補信号CKBの周波数がローパスフィルタ回路5<sub>1</sub>, 5<sub>2</sub>のカットオフ周波数よりも十分に小さくなると、2つの差動対が並列接続されたデータ保持用差動対は、トランジスタサイズが2倍のトランジスタ

で構成されたデータ読み込み用差動対と同等となる。そのため、データ読み込み用差動対に流れる電流が増加しても、データ保持用差動対の電流は、当該データ保持用差動対を構成するトランジスタの許容電流よりも大きくなることはない。

上述したように本実施形態においては、データ保持用差動対を2つの差動対が並列に接続された構成とし、この2つの差動対をローパスフィルタ回路 $5_1$ 、 $5_2$ を介して接続することにより、クロック信号CKおよびクロック補信号CKBの周波数に応じてデータ保持用差動対の電流を制御することができる。それにより、フリップフロップ回路を最高速度から低い速度まで広い範囲に渡って動作させることが可能となる。

なお、本実施形態においては、ローパスフィルタ回路 $5_1$ 、 $5_2$ として抵抗と容量からなる回路を用いたが、他のローパスフィルタ回路、インダクタや分布線路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

また、バイポーラトランジスタを用いた例について説明したが、その他、例えば、GaAs MESFETを用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

また、D型フリップフロップ回路を用いた例について説明したが、スレーブ回路の出力がマスター回路のデータ入力に帰還され、分周動作が可能なT型フリップフロップ回路を用いた場合も同様に、本実施形態のスタティック型フリップフロップ回路を実現することができる。

### 請求の範囲

#### 1. スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路とを有し、

前記フリップフロップ回路は、前記第1および第2のデータ保持用差動対の電流が前記第1および第2のデータ読み込み用差動対の電流よりも小さくなり、かつ前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるような動作速度領域で動作を行うことを特徴とするスタティック型フリップフロップ回路。

#### 2. スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記第1および第2の電流源回路に接続され、前記第1および第2のデータ読み込み用差動対の電流と前記第1および第2のデータ保持用差動対の電流を、前

記フリップフロップ回路の動作速度に応じて制御するための電流制御端子とを有することを特徴とするスタティック型フリップフロップ回路。

3. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記電流制御端子によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項2に記載のスタティック型フリップフロップ回路。

4. スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記マスター回路の前記第1の電流源回路とクロック信号が入力される端子との間に配置された第1の積分回路と、

前記スレーブ回路の前記第2の電流源回路とクロック補信号が入力される端子との間に配置された第2の積分回路とを有することを特徴とするスタティック型フリップフロップ回路。

5. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第1および第2の積分回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項4に記載の

スタティック型フリップフロップ回路。

6. スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ保持用差動対に接続される第1の電流源回路とを具備するマスター回路と、

第2のデータ読み込み用差動対と、前記第2のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成される第2のデータ保持用差動対と、前記第2のデータ読み込み用差動対および前記第2のデータ保持用差動対に接続される第2の電流源回路とを具備するスレーブ回路と、

前記マスター回路の前記第1の電流源回路とクロック信号が入力される端子との間に配置された第1のローパスフィルタ回路と、

前記スレーブ回路の前記第2の電流源回路とクロック補信号が入力される端子との間に配置された第2のローパスフィルタ回路とを有することを特徴とするスタティック型フリップフロップ回路。

7. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第1および第2のローパスフィルタ回路によって、前記第1および第2のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項6に記載のスタティック型フリップフロップ回路。

8. スタティック型フリップフロップ回路において、

第1のデータ読み込み用差動対と、前記第1のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、第1のローパスフィルタ回路を介して並列に接続された2つの差動対からなる第1のデータ保持用差動対と、前記第1のデータ読み込み用差動対および前記第1のデータ

保持用差動対に接続される第 1 の電流源回路とを具備するマスター回路と、

第 2 のデータ読み込み用差動対と前記第 2 のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、第 2 のローパスフィルタ回路を介して並列に接続された 2 つの差動対からなる第 2 のデータ保持用差動対と、前記第 2 のデータ読み込み用差動対および前記第 2 のデータ保持用差動対に接続される第 2 の電流源回路とを具備するスレーブ回路とを有することを特徴とするスタティック型フリップフロップ回路。

9. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、前記第 1 および第 2 のローパスフィルタ回路によって、前記第 1 および第 2 のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項 8 に記載のスタティック型フリップフロップ回路。

10. スタティック型フリップフロップ回路において、

第 1 のデータ読み込み用差動対と、前記第 1 のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、インダクタを含む第 1 の回路を介して並列に接続された 2 つの差動対からなる第 1 のデータ保持用差動対と、前記第 1 のデータ読み込み用差動対および前記第 1 のデータ保持用差動対に接続される第 1 の電流源回路とを具備するマスター回路と、

第 2 のデータ読み込み用差動対と、前記第 2 のデータ読み込み用差動対を構成するトランジスタよりもサイズが小さなトランジスタにより構成され、インダクタを含む第 2 の回路を介して並列に接続された 2 つの差動対からなる第 2 のデータ保持用差動対と、前記第 2 のデータ読み込み用差動対および前記第 2 のデータ保持用差動対に接続される第 2 の電流源回路とを具備するスレーブ回路とを有することを特徴とするスタティック型フリップフロップ回路。

11. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速

度が最高動作速度から低下した場合に、前記第 1 および第 2 の回路によって、前記第 1 および第 2 のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項 10 に記載のスタティック型フリップフロップ回路。

12. 前記フリップフロップ回路は、当該フリップフロップ回路の動作速度が最高動作速度から低下した場合に、当該動作速度によって、前記第 1 および第 2 のデータ保持用差動対の電流が当該データ保持用差動対を構成するトランジスタの許容電流以下となるように調整される、請求項 4, 6, 8, 10 のいずれか 1 項に記載のスタティック型フリップフロップ回路。

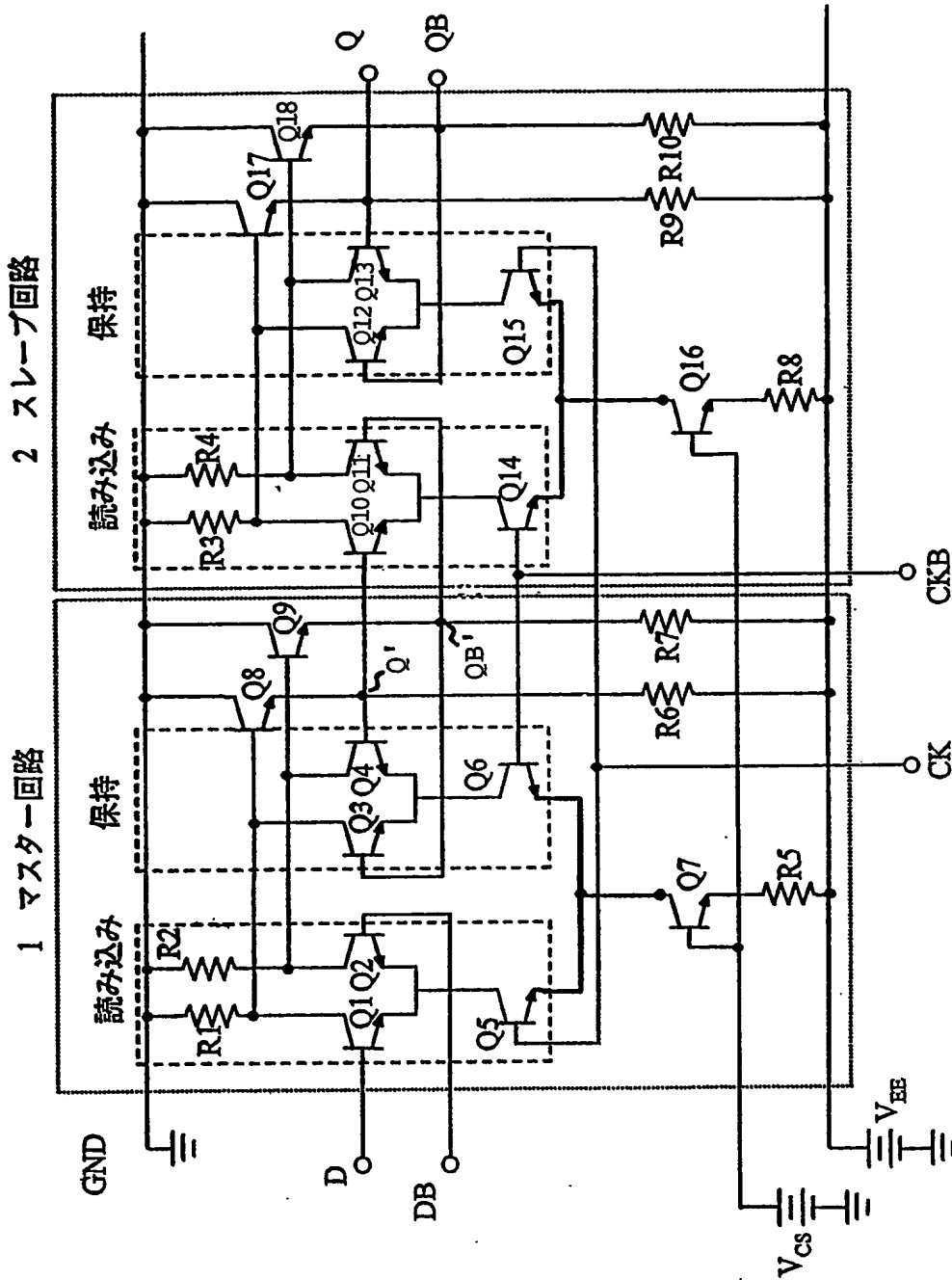


FIG. 1



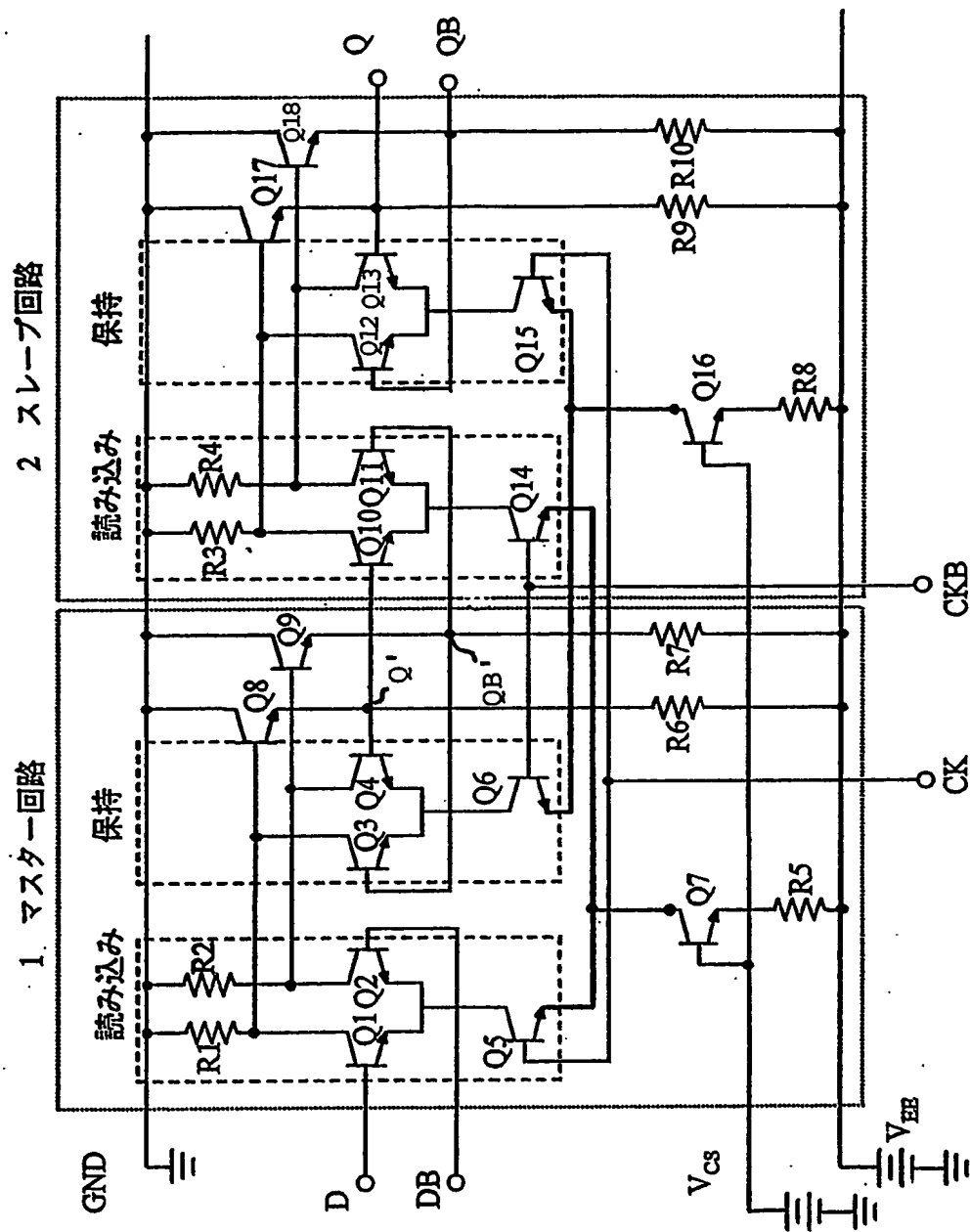
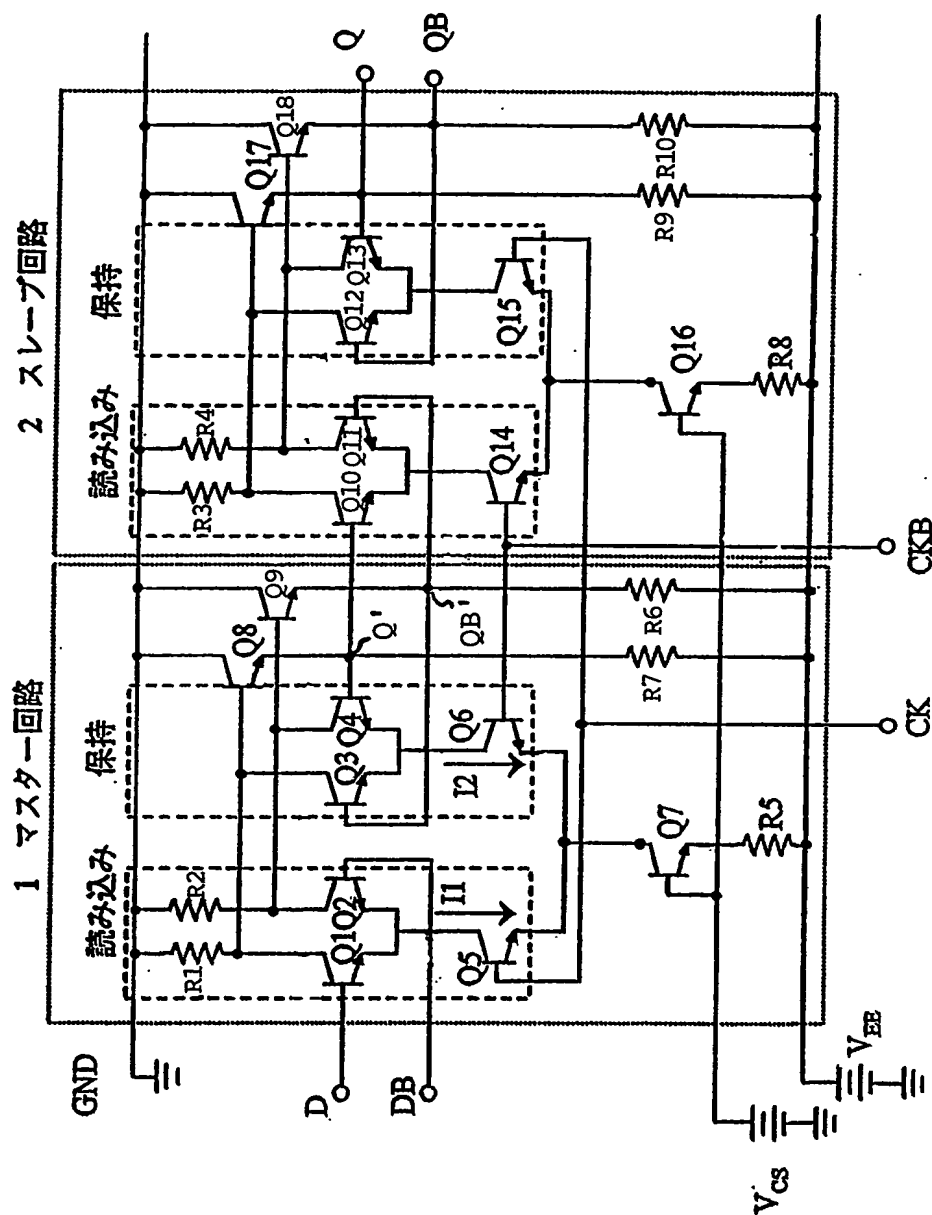


FIG. 2



**FIG. 3**

Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2  $\mu\text{m}$   $\times$  10  $\mu\text{m}$   
Q3,Q4,Q6,Q12,Q13,Q15:2  $\mu\text{m}$   $\times$  5  $\mu\text{m}$

FIG. 4A

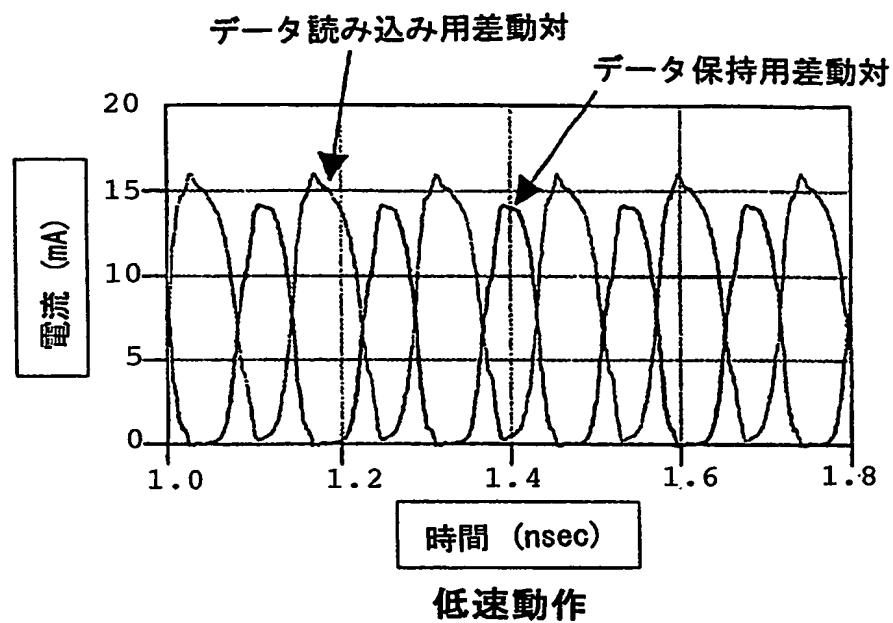
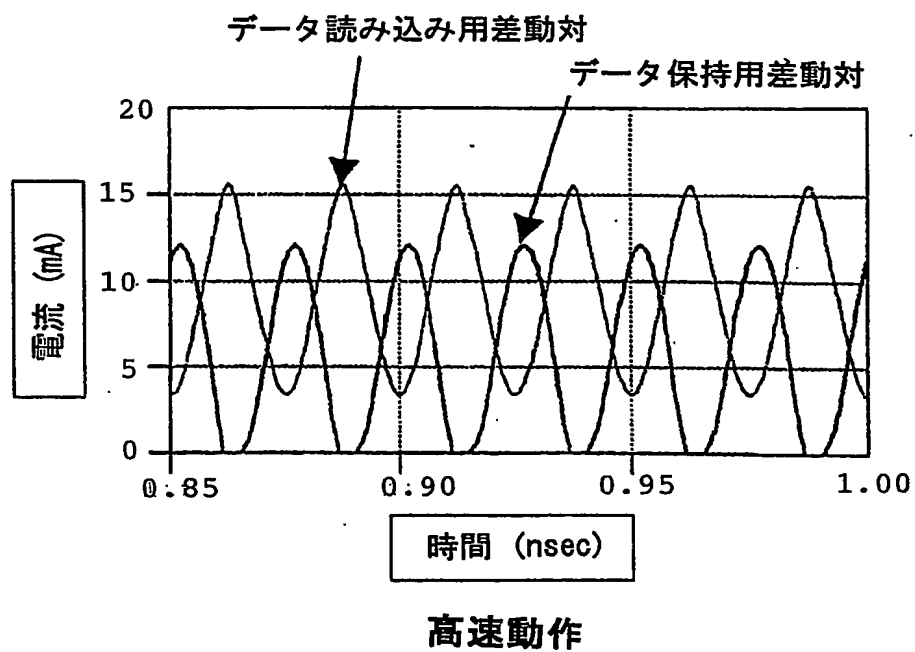


FIG. 4B



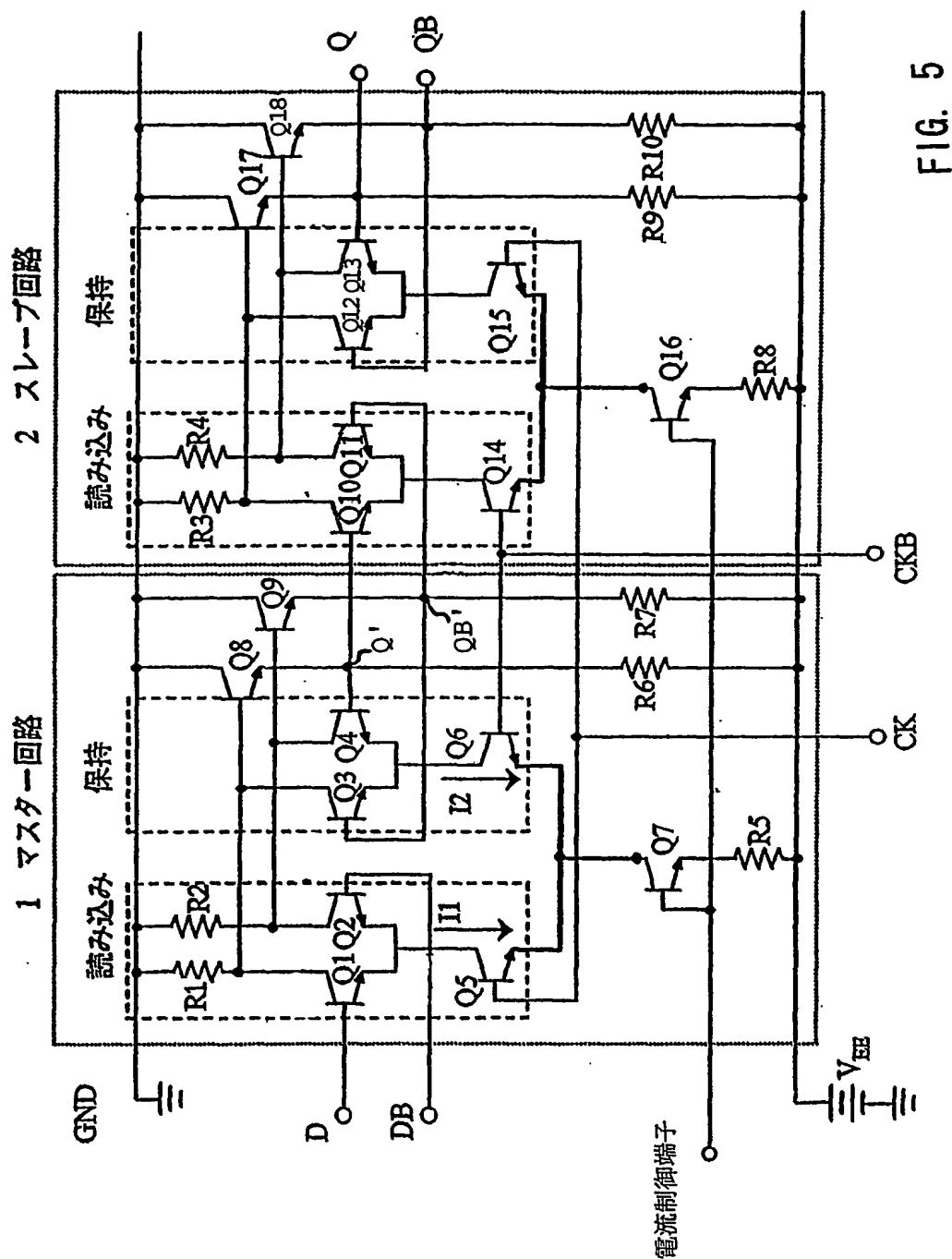
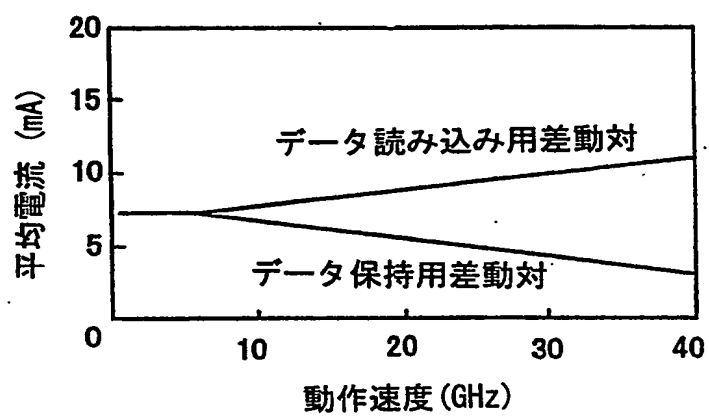
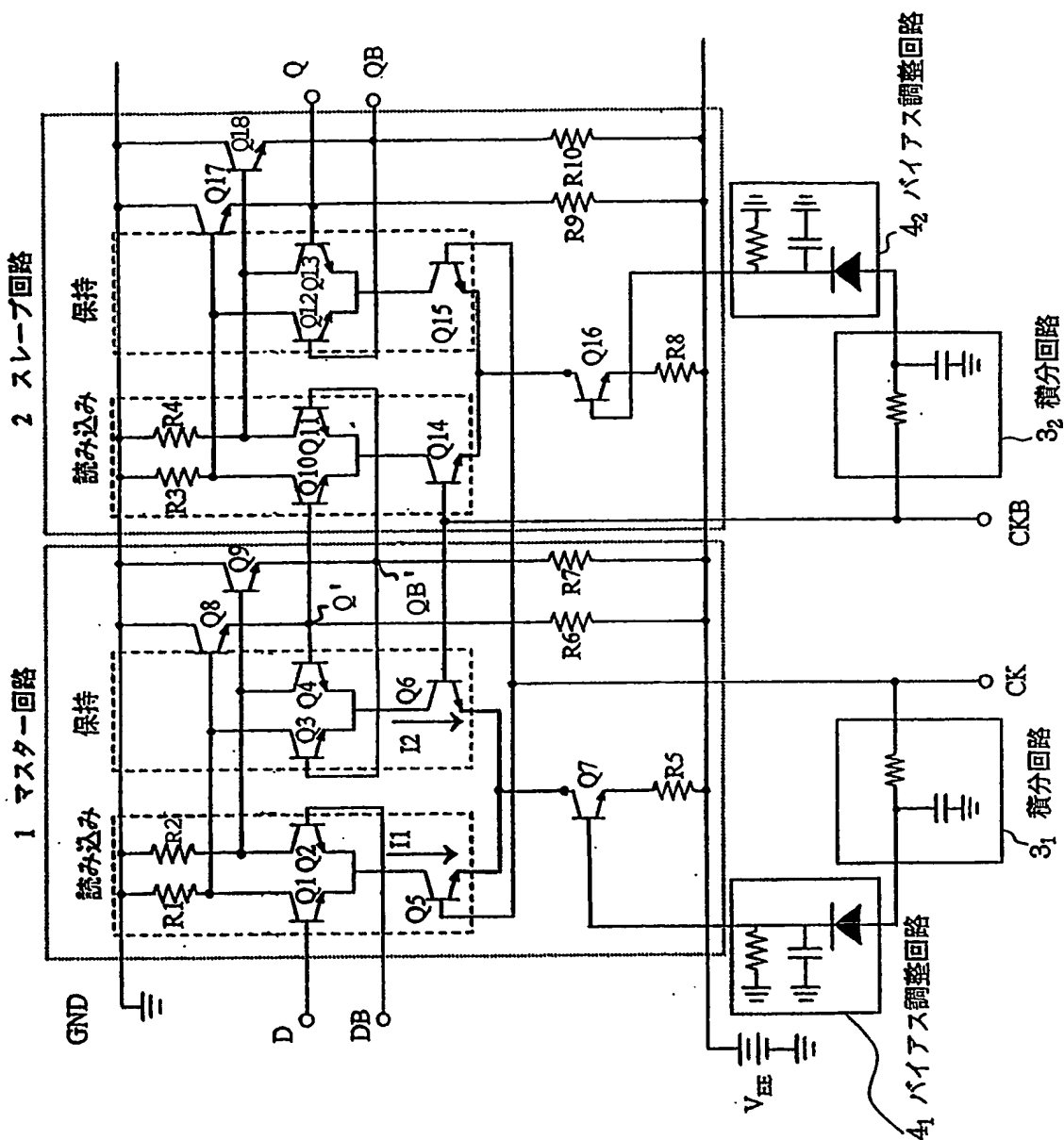


FIG. 5

Q1, Q2, Q5, Q7, Q10, Q11, Q14, Q16:  $2\mu\text{m} \times 10\mu\text{m}$   
 Q3, Q4, Q6, Q12, Q13, Q15:  $2\mu\text{m} \times 5\mu\text{m}$

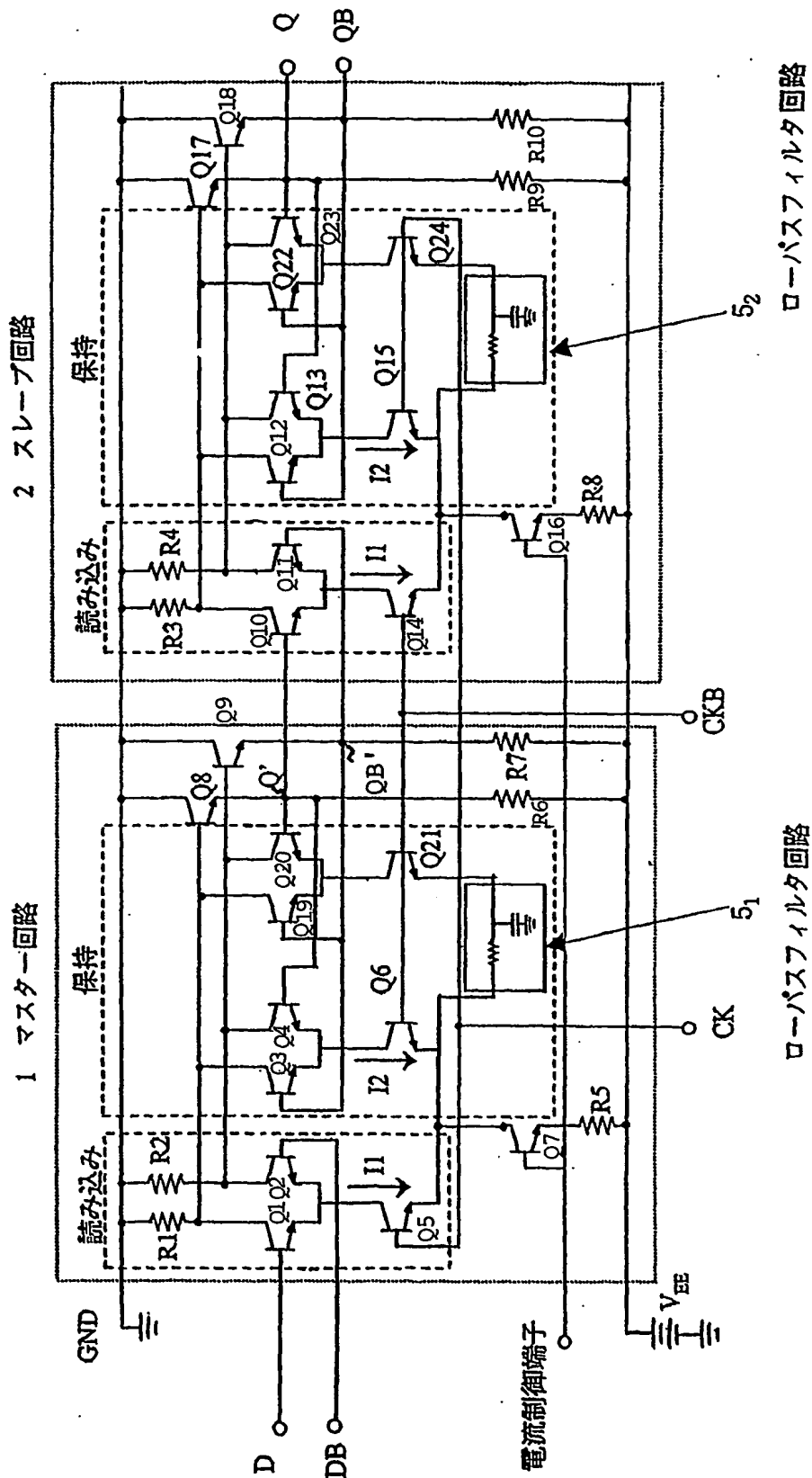
FIG. 6





Q1,Q2,Q5,Q7,Q10,Q11,Q14,Q16:2 $\mu$ m $\times$ 10 $\mu$ m  
 Q3,Q4,Q6,Q12,Q13,Q15:2 $\mu$ m $\times$ 5 $\mu$ m

FIG. 7



Q1, Q2, Q5, Q7, Q10, Q11, Q14, Q16:  $2\mu\text{m} \times 10\mu\text{m}$   
 Q3, Q4, Q6, Q12, Q13, Q15, Q19, Q20, Q21, Q22, Q23, Q24:  $2\mu\text{m} \times 5\mu\text{m}$

FIG. 8

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP03/07963

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl<sup>7</sup> H03K3/286, 3/356

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H03K3/286, 3/356, 3/023

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1926-2003

Kokai Jitsuyo Shinan Koho 1971-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 07-273610 A (Nippon Telegraph And Telephone Corp.), 20 October, 1995 (20.10.95), Full text; Figs. 1 to 5 (Family: none)	1-12
Y	JP 06-291618 A (Toshiba Corp.), 18 October, 1994 (18.10.94), Full text; Figs. 1 to 4 (Family: none)	1-7
Y	JP 08-056140 A (Toshiba Corp.), 27 February, 1996 (27.02.96), Full text; Figs. 1 to 20 (Family: none)	1-7

☐ Further documents are listed in the continuation of Box C.
 ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search  
23 September, 2003 (23.09.03)Date of mailing of the international search report  
07 October, 2003 (07.10.03)Name and mailing address of the ISA/  
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.



## A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H03K 3/286, 3/356,

## B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl<sup>1</sup> H03K 3/286, 3/356, 3/023,

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1926 - 2003

日本国公開実用新案公報 1971 - 2003

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 07-273610 A (日本電信電話株式会社) 1995. 10. 20. 全文, 第1~5図 (ファミリーなし)	1-12
Y	JP 06-291618 A (株式会社東芝) 1994. 10. 18. 全文, 第1~4図 (ファミリーなし)	1-7

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの

「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」 口頭による開示、使用、展示等に言及する文献

「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」 同一パテントファミリー文献

国際調査を完了した日

23. 09. 03

国際調査報告の発送日

07.10.03

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)

郵便番号 100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

有 泉 良 三

5X

7402

電話番号 03-3581-1101 内線 3556

C. (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 08-056140 A (株式会社東芝) 1996. 02. 27. 全文, 第1~20図 (ファミリーなし)	1-7